

Sklansky 并行前缀加法器的优化设计

王晓泾, 崔晓平, 王大宇

(南京航空航天大学 电子信息工程学院, 江苏 南京 210016)

摘 要: Sklansky 结构是并行前缀加法器中一种典型的结构,但其过大扇出引起的延时增加使得对它的使用受到了限制. 本文针对该问题提出了一种优化方法,它通过增加相同进位单元使得扇出系数最大为 2. 在 Synopsys 公司综合工具 Design Compiler 上的综合结果显示,该方法在增加极小的面积的情况下使得 Sklansky 结构的延时降低了至少 14.5%.

关键词: 并行前缀加法器; Sklansky 结构; 扇出; 延时

中图分类号: TP332.2

文献标识码: A

文章编号: 1000-7180(2013)01-0097-03

An Optimal Design for Sklansky Parallel Prefix Adder

WANG Xiao-jing, CUI Xiao-ping, WANG Da-yu

(College of Electronic and Information Engineering, Nanjing University of Aeronautics
and Astronautics, Nanjing 210016, China)

Abstract: Sklansky structure is known as a typical scheme in parallel prefix adders. But the increase of delay caused by its big fanout restricts its implementation. In this paper, an optimization for this problem is proposed that same carry operators are added to ensure a maximum of two fanouts. The synthesis on Synopsys Design Compiler reveals that at least 14.5% delay reduction is achieved at the expense of minimum area increase.

Key words: parallel prefix adder; Sklansky structure; fanout; delay

1 引言

加法器是数据处理的核心,是各种运算的基础,加法器的性能对处理器和系统的性能有着巨大的影响. 随着处理器的速度越来越快,加法器的速度要求也越来越高,因此高速加法器的设计一直是研究的热点. 在众多加法器结构中,并行前缀结构因其简单的标准单元及规整的结构非常适用于 VLSI 实现.

本文在分析 Sklansky 结构因扇出过大而导致延时增加的原因的基础上提出优化方法. 通过在 Synopsys 公司综合工具 Design Compiler 上的逻辑综合得出实验结果以证明该优化方法的有效性,并提出了一种采用该优化方法的 64 位基于 Sklansky 结构的并行前缀/进位选择加法器.

2 几种典型并行前缀结构的比较

在所有常用的并行前缀结构中, Sklansky 结构^[1] (SK)、Kogge-Stone 结构^[2] (KS) 和 Brent-Kung 结构^[3] (BK) 较为典型. 图 1 为三种结构的结构图.

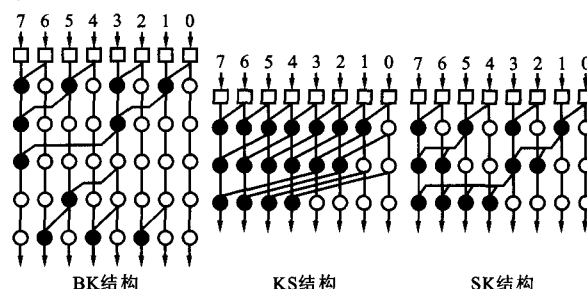


图 1 三种前缀结构

在这三种结构中, BK 结构的面积-时间乘积是最小的,但是它的计算时间较长. KS 结构使用的

计算资源过多,面积和功耗过大,且连线过多,因此增大了布局布线的难度^[4]. SK 结构则具有最短的计算时间和最小的互连线面积,但随着操作数位数的增大,其最大扇出呈线性增长,从而导致计算时间增大.因此只要解决好 SK 结构随位数增大导致延时增大的问题,SK 的速度和面积优势将体现出来.

3 Sklansky 并行前缀加法器的优化设计

图 2 为一个 16 位 SK 结构前缀计算图. SK 结构进位计算的递归关系^[4]可用下式表示:

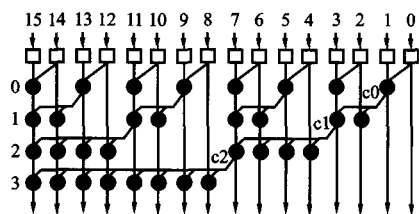


图 2 16 位 SK 结构

$$\Theta_{i,j} = (G_{j, \lfloor j/2^i \rfloor}, P_{j, \lfloor j/2^i \rfloor})$$

$$= \begin{cases} (g_j, p_j) & \text{若 } i=0 \\ \Theta_{i-1,j} & \text{若 } i>0 \text{ 且 } (j \bmod 2^i) < 2^{i-1} \\ \Theta_{i-1,j} \cdot \Theta_{i-1,j-(j \bmod 2^{i-1})-1} & \text{若 } i>0 \text{ 且 } (j \bmod 2^i) \geq 2^{i-1} \end{cases}$$

由结构图和递推公式可知,长度为 2^i 的进位计算结构是由两个长度为 2^{i-1} 的位区间构造的.在该 2^i 区间内,低 2^{i-1} 位的进位直接从低半区间计算结构中继承过来,而高半区间的进位是利用原先计算出的各位的进位情况和低半区间的最高位进位情况进行计算,从而得到在新的区间中各位的进位情况.这种构造方式使得低半区间的最高位要与高半区间中的每一位相运算,从而导致构造迭代次数越多,低半区间最高位的扇出越大,最终使信号的传播速度降低^[4].

为了降低低半区间最高位的扇出,而最终减小延时,本文提出的优化方法是同时产生多个相同的低半区间最高位,产生的每个最高位同时与两个高半区间的位相运算.

以图 2 的 16 位 SK 结构为例,第二级产生的低 8 位区间最高位信号 c_2 同时要和高 8 位区间位相运算.根据本文提出的方法,产生 c_2 的同时产生四个与 c_2 相同的信号,分别为 $c_{2a}, c_{2b}, c_{2c}, c_{2d}$.每个信号与第三级的高 8 位区间的两位相运算.由于增加了四个信号,第二级低 8 位区间增加到 8 位,因此在第一级中产生四个与低 4 位区间的最高位信号 c_1 相同的信号以保证扇出,它们分别为 $c_{1a}, c_{1b}, c_{1c}, c_{1d}$.这四个信号分别与新的第二级低 8 位区间位中的两位相运算.同理产生三个新 c_0 (c_{0a}, c_{0b}, c_{0c}) 与新的第一级低 4 位区间位运算.该方法的示

意图如图 3 所示.

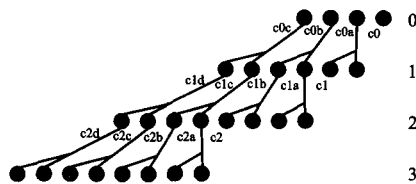


图 3 本文提出的优化方法

4 64 位基于 Sklansky 结构的并行前缀/进位选择加法器.

根据文献[5]中的混和加法器结构文章提出一种基于 Sklansky 结构的并行前缀/进位选择加法器.该加法器首先对 64 位输入进行预处理,每四位一组合并成新的 16 位前缀.在新的 16 位前缀基础上使用 Sklansky 结构得出进位.图 4 为该加法器的结构图.图中的粗线条路径采用本文提出的优化方法以减小扇出.

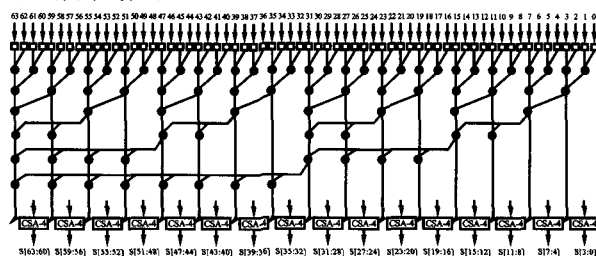


图 4 64 位基于 SK 结构并行前缀/选择进位加法器

加法器后端采用 4 位进位选择加法器^[6] (CSA) 求和.4 位进位选择加法器由两个 4 位行波加法器和四个选择器构成.图 5(a)为行波进位加法器的结构图,图 5(b)为行波加法器中 1 位全加器的电路图^[7].由于 4 位行波进位加法器和的运算与进位信号的产生同时进行,所以当进位信号产生以后,加法器最后求出和的时间仅为一个数据选择器的时间,因此延时被极大地缩小了.

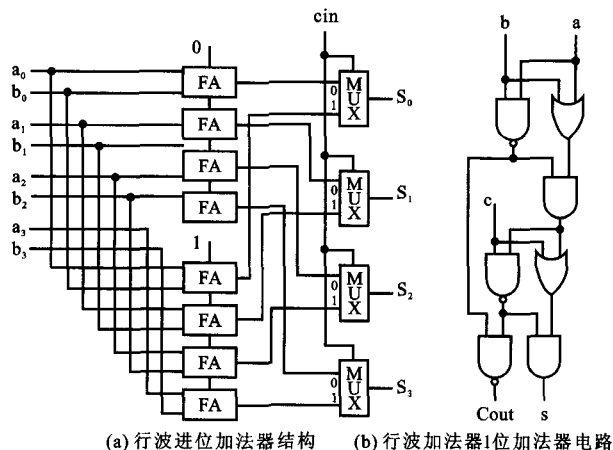


图 5 四位选择进位加法器

5 实验结果

采用本文提出的优化方法与 Sklansky 结构构造 16 位和 64 位加法器,将它们用 Verilog 语言进行描述,在 SMIC 0.18 μm 工艺下,通过 Synopsys 公司综合工具 Design Compiler 进行逻辑综合,并与 Sklansky 并行前缀加法器进行比较,比较结果如表 1 和 2 所示.表 1 为 16 位加法器的比较结果.表 2 为 64 位加法器比较结果.同时将构造的 64 位优化后的加法器与采用 KS 结构构造的并行前缀/选择进位加法器进行比较,比较结果如表 3 所示.

根据表 1 和表 2 可知,采用本文提出的优化方法,在增加极小面积的情况下加法器的延时被极大地减小了.随着加法器位数的增加,该优化方法的优势更加明显.同时由表 3 可以看出优化的 SK 结构比 KS 结构在速度和面积上都具有优势.

表 1 16 位加法器比较

	延时(ns)	面积(μm^2)
SK 结构	1.19	2248.65
优化后的 SK 结构	1.03	2468.19
增加/减少	-14.5%	+9.8%

表 2 64 位加法器比较

	延时(ns)	面积(μm^2)
SK 结构	1.69	15328.05
优化后的 SK 结构	1.20	15587.51
增加/减少	-29%	+1.7%

表 3 优化后的 SK 结构与 KS 结构的比较

	延时(ns)	面积(μm^2)
优化后的 SK 结构	1.20	15587.51
KS 结构	1.44	16106.43

6 结束语

本文提出了一种针对 Sklansky 结构大扇出的优化方法,该方法在增加极小面积的情况下有效地降低了扇出增大对 SK 结构运算速度的影响.随着加法器操作位数的增大,该优化方法的优势更加明显,是适用于宽位加法器的一种有效的方法.

参考文献:

[1] Sklansky J. Conditional sum addition logic [J]. IRE TransElectron Computers,1960,9(6):226-231.

[2] Kogge P M,Stone H S. A parallel algorithm forefficient solution of a general class of recurrence equations [J]. IEEE Trans Com-puters, 1973, 22 (8): 786-793.

[3] Brent R P,Kung H T. A regular layout for parallel adders[J]. IEEE Franactions Com-puters,1982,31(3): 260-264.

[4] 孙海平. 计算机算术中若干前缀问题的研究[J]. 合肥: 合肥工业大学,2006.

[5] Dimitrakopoulos G, Nikolos D. High-Speed Parallel-Prefix VLSI Ling Adders[J]. IEEE T-ransactio Computers, 2005,54(2):225-231.

[6] Burgess N. Accelerated carry-skip adders with low hardware cost[C]//Conference Reco-rd of the Thirty-Fifth Asilomar Conference on Signals, Systems and Computers[S. L.];IEEE, 2001(1):852-856.

[7] 崔晓平,王成华. 二级进位跳跃加法器的优化方块分配 [J]. 北京航空航天大学学报,2007,33(4):495-499.

作者简介:

王晓泾 男,(1988—),硕士研究生.研究方向为数字系统设计与计算机应用.

(上接第 96 页)

接方式不同实现高低边电路自动切换,不需要外围额外设置.本设计采用 CSMC 0.6 μm 60V BCD 工艺,仿真及测试结果表明了本文提出的高低边电流检测电路的可行性.

参考文献:

[1] Luxeon[R]. Technical datasheet DS25.

[2] 毛兴武,张艳雯,周建军. 新一代绿色光源 LED 及其应用技术[M]. 北京:人民邮电出版社,2008.

作者简介:

杨卫丽 女,(1981—),助理研究员.研究方向为电源管理类集成电路设计.